Evaluación del Trabajo de Laboratorio Número 2

Arquitectura de Computadoras 29/05/2024

Instrucciones

- La presente evaluación es individual y podrá utilizar todo el material escrito del que disponga.
- La misma consta de 12 ejercicios en total y la duración será de 50 minutos.
- Cada uno de los ejercicios es de tipo multiple-choice, en el cual **sólo una** de las opciones es correcta.
- Cada ejercicio **suma 9 puntos** si la respuesta es correcta, y **resta 2 puntos** si la respuesta es incorrecta. Si no está seguro de una respuesta, es preferible no responder.
- En ningún caso el puntaje máximo podrá superar los 100 puntos, ni ser inferior a 0 puntos.
- La evaluación se desarrollará en las hojas provistas por la cátedra a tal fin.
- Las hojas que no estén caratuladas en la forma indicada por la cátedra no serán tenidas en cuenta.
- No se permitirá intercambiar ni prestar ningún tipo de elemento entre los estudiantes.
- La buena presentación, ortografía y redacción serán tenidas en cuenta para la calificación final.

Problemas propuestos

1) Indique de cuál de los siguientes factores depende el tamaño de una traza.
   a) Tamaño del caché.
   b) Cantidad de variables del código
   c) Tamaño del bloque de caché.
   d) Optimización del compilador.
   e) Las respuestas b y d son correctas.
   f) Las respuestas a y c son correctas.
   g) Todas las respuestas son correctas.

2) Se sabe que un caché de mapeo directo posee 1024 bloques que contienen 16 palabras de 64 bits cada uno. ¿Qué tamaño tiene el caché?
   a) 16 KiB.
   b) 32 KiB.
   c) 64 KiB.
   d) Ninguno de los anteriores.

3) Indique cuál de las siguientes afirmaciones es válida.
   a) En un caché infinito y asociativo puro, no hay fallos.
   b) En un caché infinito y asociativo puro, sólo tengo fallos inevitables.
   c) En un caché infinito y de mapeo directo, sólo tengo fallos inevitables.
   d) Las opciones b y c son correctas.

4) En general, ¿cuál de las siguientes alternativas tiene mayor impacto al reducir la tasa de fallos?
   a) Duplicar la asociatividad.
   b) Duplicar la capacidad.
   c) Duplicar el tamaño de bloque.

5) Indique cuáles de las siguientes afirmaciones es verdadera en referencia a la simulación realizada en el ejercicio 7 del trabajo de laboratorio 2.
   a) En el caché asociativo de 2 vías ocurren aproximadamente la mitad de fallos por conflicto que en el de mapeo directo.
   b) En el caché asociativo de 4 vías ocurren aproximadamente la mitad de fallos por conflicto que en el de mapeo directo.
   c) En el caché asociativo de 4 vías ocurren aproximadamente la cuarta parte de fallos por conflicto que en el de mapeo directo.
   d) En el caché asociativo de 8 vías ocurren aproximadamente la cuarta parte de fallos por conflicto que en el de mapeo directo.
   e) En el caché asociativo de 8 vías ocurren aproximadamente la octava parte de fallos por conflicto que en el de mapeo directo.
   f) Las respuestas a, b y d son correctas.
   g) Las respuestas a, c y e son correctas.
   h) Ninguna de las respuestas anteriores es correcta.

6) Dado un caché asociativo por conjuntos de 2 vías, de 16 palabras en total, con bloques de 2 palabras, con algoritmo de reemplazo LRU, que está inicialmente vacío. Si el mismo atiende la siguiente secuencia de accesos a palabras: 0, 4 y 8. Si el próximo acceso es la palabra 12, indique cuál de las siguientes afirmaciones es correcta
   a) El acceso será un fallo inevitable.
   b) El acceso será un fallo por capacidad.
   c) El acceso será un fallo por conflicto.
   d) El acceso será un acierto.

7) ¿Cuál de los tres tipos de fallo tenderá a reducirse si se incrementa la frecuencia de reloj del procesador?
   a) Inevitables.
   b) Por Capacidad.
   c) Por Conflicto.
   d) De los tres tipos.
   e) Ninguno.

8) ¿Cuál de las siguientes técnicas aumenta los fallos inevitables?
   a) Aumentar el tamaño del bloque.
   b) Aumentar el tamaño del caché.
   c) Desenrollado de lazos.
   d) Todas las anteriores.

9) Un programa que hace streaming de video necesita acceder a un millón de palabras consecutivas, sin repetirlas. Si se tiene un caché de datos de 8 KiB, asociativo por conjuntos de 8 vías, con bloques de 8 palabras, ¿cuál será aproximadamente la tasa de fallos para datos?
   a) 1
   b) 0,5.
   c) 0,25.
   d) 0,125.
   e) No se puede saber.

10) Suponga un caché de mapeo directo de 32 bloques de 16 bytes cada uno. La memoria principal es de 2^{20} bytes, con direccionamiento a byte. ¿Cuántas direcciones se mapean a un mismo bloque del caché?
   a) 2048.
   b) 1024.
   c) 16.
   d) Ninguna de las anteriores.

11) Si una dirección de memoria se descompone de manera tal que corresponden 6 bits para el desplazamiento dentro del bloque y 7 bits para el índice, ¿a cuál de los siguientes cachés podría acceder?
   a) Un caché de mapeo directo de 16 KiB.
   b) Un caché de 32 KiB, asociativo por conjuntos de 2 vías.
   c) Un caché de 64 KiB, asociativo por conjuntos de 8 vías.
   d) Ninguna de las opciones anteriores.
   e) Las opciones a, b y c son correctas.

12) Si para mejorar la performance de un caché se busca reducir la tasa de fallos aumentando el tamaño de bloque pero manteniendo el tamaño total del caché, ¿cuáles de las siguientes afirmaciones son verdades?
   a) Aumenta el aprovechamiento de la localidad temporal.
   b) Disminuye el aprovechamiento de la localidad temporal.
   c) Aumenta el aprovechamiento de la localidad espacial.
   d) Disminuye el aprovechamiento de la localidad espacial.
   e) Las respuestas a y c son correctas.
   f) Las respuestas a y d son correctas.
   g) Las respuestas b y c son correctas.
   h) Las respuestas a y d son correctas.

Soluciones propuestas

1) La respuesta correcta es la *e*.
2) La respuesta correcta es la *d*.
3) La respuesta correcta es la *b*.
4) La respuesta correcta es la *b*.
5) La respuesta correcta es la *f*.
6) La respuesta correcta es la *a*.
7) La respuesta correcta es la *e*.
8) La respuesta correcta es la *c*.
9) La respuesta correcta es la *d*.
10) La respuesta correcta es la *a*.
11) La respuesta correcta es la *c*.
12) La respuesta correcta es la *g*.